

# Q-sw 保護回路を内蔵する光クロック信号源の開発

電子工学専攻 上野研究室 竹内宏幸

## 謝辞とお願い

本研究は、2008年1月23日以後レーザー新世代研究センター 西岡一准教授に、EDFAによるQスイッチ発生などについてご相談等賜りました。それにより、今回の保護回路開発また、今後のDISC-loop実験の再開に繋がりました。深く感謝いたします。

そのため、私は、レーザー新世代研究センター内では研究を行っておりませんし、本研究の出来もレーザー新世代研究センターの学生の皆様に比べ、出来が悪く、恥ずかしい限りですが、出来れば学位論文データベースに加えて頂きたいです。加えていただければ、ありがたく思います。

## 1. はじめに

今日、新興国でのユーザ数増加や先進国でのデータ総量やコンテンツ量の増大により、通信需要が伸び続けている。この需要への対策として従来のSONET/SDH規格の電氣的時分割多重や波長分割多重(Wavelength Division Multiplexing, WDM)から光時分割多重(Optical Time Division Multiplexing, OTDM)への移行が検討されている。

このOTDMには、時間的に光信号を重ね合わせと分割を行う必要があり、そのタイミングを決めるために光信号より高周波で安定したタイムフレームとなるパルス光源が必要である。そこで、高繰り返し周波数で短パルス幅のパルス発振が出来るモード同期レーザーやDISC-loop型パルス発生器(Delayed Interference Signal wavelength Converter, DISC)の応用が期待されている。<sup>1</sup>

そのDISC-loop型パルス発生器は、複数の偏波制御素子と半導体光増幅器(Semiconductor Optical Amplifier, SOA)により構成され、リング中に存在する光の偏波を調整することで、連続光(Continuous Wave, CW)発振を抑制し、パルス発振を行っている。

偏波制御により抑制する発振方法は、以前当研究室の鈴木が求めたパルス発振閾値利

得条件<sup>2</sup>がある。しかし、これはパルス発振状態にうまく偏波制御を行えた状態での、共振器内部の利得と損失の関係を示しただけで、DISC-loopの発振条件を理解できる物ではなかった。そこで、新たにCW発振防止条件を解明し、既存のパルス発振閾値利得条件と共に応用し、DISC-loopのパルス発振条件をモデル化した。

これにより、将来の高周波化、集積化を目指す際に必要な設計指針を判断できるようになった。モデルによりパルス発振条件の緩和方法は推測でき、その方法を実行することにより、確実に緩和できるといえるデータは、すでに集まりつつある。

しかし、当研究において、数年前よりSOAが何らかの原因で劣化する事象が複数発生した。この問題により、実験を停止する事態に何度も陥り、現在もその問題に悩まされ続けている。

この問題について、西岡先生、上野先生にご相談を賜り、実験を停止させた問題であるSOA劣化の原因として、エルビウム添加ファイバ増幅器(Erbium Doped Fiber Amplifier, EDFA)のQスイッチが原因だと推測され、このQスイッチを防ぐ手立てとして、Q-sw保護回路の開発を行った。

## 2. DISC-loopの発振動作とQスイッチ

DISC-loop型パルス発生器の構成と動作原理について図1に示す。このDISC-loopはDISC-gate型波長変換器<sup>3</sup>を応用したもので、DISC-gate出力を入力にフィードバックさせている。DFB-LDからのCWをSOAに対しTE(Transverse Electric)モードになるように波長板を調整する。またリングをフィードバックするDISC-gate出力のTEモード光とSOAやEDFAによる自然放出光も調整し、SOAに対しTM(Transverse Magnetic)モードで入射させている。このTE、TMモード光は、SOAを通過し、偏波制御素子とカルサイトで構成されるマッハツェンダ干渉計(Mach-Zehnder

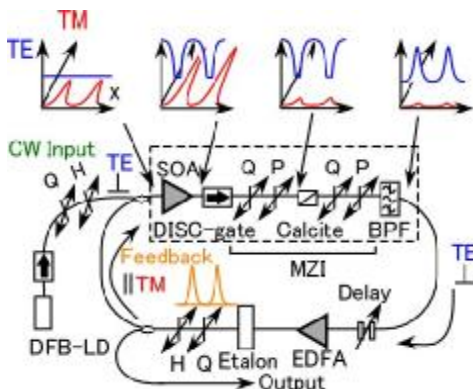


図1 DISC-loopの構成と動作原理

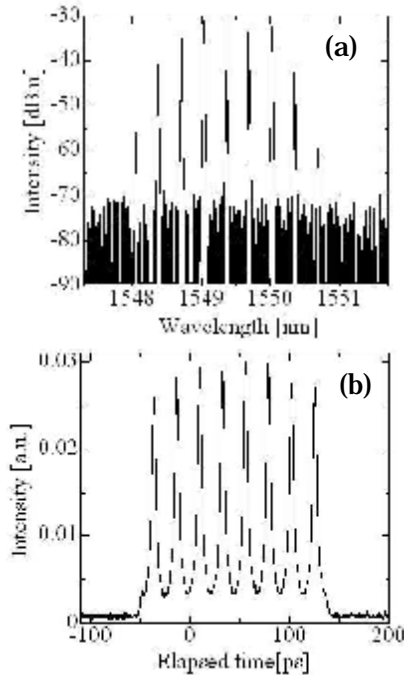


図2 40 GHz 5ps のパルス発振出力  
(a) スペクトル (b) 自己相関波形

Interferometer, MZI)に入射する。MZI内部で偏光子によりCW発振を引き起こすTMモード成分を遮断し、TEモード成分をパルス形状に整形する。そして整形されたパルスが再びSOAにフィードバックしモード同期を行う。

このような形でリング1周ごとにモード同期をかけ、パルス形状を生成する事と、リングに含まれる自由スペクトラム間隔がGHz領域のエタロンを利用する事で、高調波再生モード同期<sup>4</sup>を行い、高周波パルスを電気的変調なしに、図2のように安定して発振出来る。

このパルス発振動作はDISC-loopの発振動作の一部であり、発振状態は、一般的なリングレーザ同様にCW、パルス発振と2種類存在する。その発振状態とモデルについては、ま

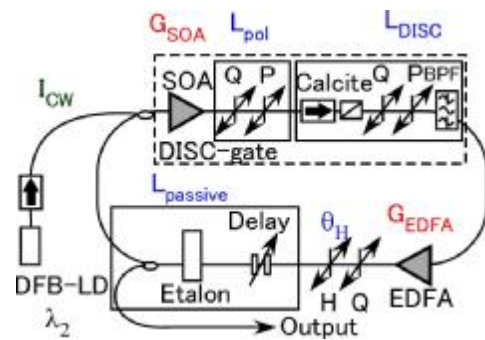


図3 DISC-loopの損失と利得

ず、当研究室の鈴木が求めたパルス発振閾値利得条件について次に示す。

$$G_{loop} = T_{DISC} + L_{passive} + G_{EDFA} \quad (1)$$

ここで $T_{DISC}$ はDISC-gateの透過率、 $L_{passive}$ は共振器中の受動素子の損失、 $G_{EDFA}$ は、EDFAの非飽和利得を示している。この式は、リング型共振器1周あたりの利得 $G_{loop}$ が、共振期中の損失と利得の総和で表せることを示している。またすべて発生するパルスに対しての値になっており、この総和が0 dBを上回ると発振する。但し、あくまでパルス発振に対してのみである。

そこでまず対極にある CW 発振について検討した。図3のように共振器内の損失と利得を定義した時、CW発振に影響する共振器1周あたりの利得は、次のように表せる。

$$G_{loop}^{CW} = G_{SOA}(I_{CW}) - L_{DISC} - L_{passive} - L_{pol} + G_{EDFA} \quad (2)$$

$G_{SOA}(I_{CW})$ は、CW発振に対するSOAの利得、 $L_{DISC}$ は、DISC-gate部の受動的損失、 $L_{passive}$ はDISC-gate外部の受動的損失、 $L_{pol}$ は偏光子が、フィードバック光を遮断する損失、 $G_{EDFA}$ は、EDFAの利得である。ここで、偏光子による損失 $L_{pol}$ は、出力カップラ前の $\lambda/4$ 波長板(Q)や $\lambda/2$ 波長板(H)により、フィードバック光の偏波を調整しておりそのカット法は、Qより直線偏光になっているとすると、ジョーンズ行列から次の式で示せる。

$$L_{pol} = -10 \log_{10} \sin^2(2\theta_H) \quad (3)$$

ここで $\theta_H$ は波長板の角度であり、パルス発振時、つまりSOAに対しフィードバック光がTMモードになる角度を0度としている。

この2つの発振条件はそれぞれ総和が0 dBを超える時発振するため、0 dBとなる条件が発振閾値になる。実験的には、EDFAの利得の調整により発振条件を調整する為、式(2)(3)をEDFAの発振閾値利得とすると、次のよ

うに示すことが出来る。

$$G_{EDFA}^{\text{pulse,threshold}} = L_{\text{passive}} - T_{\text{DISC}}^{\text{pulse}} \quad (4)$$

$$G_{EDFA}^{\text{CW,threshold}} = -G_{\text{SOA}}(I_{\text{CW}}) + L_{\text{DISC}} + L_{\text{passive}} + L_{\text{pol}} \quad (5)$$

さらに、CW発振閾値利得は、 $L_{\text{pol}}$ が出力カプラ前のHの角度により変化し、またCW発振に最適な状態、つまりフィードバック光をSOAに対しTEモードにする事で、偏光子により遮断することはないとなり $L_{\text{pol}}$ は 0 dBとなる為、CW発振閾値利得の最小値は次の式で示せる。

$$G_{EDFA}^{\text{CW,min threshold}} = -G_{\text{SOA}}(I_{\text{CW}}) + L_{\text{DISC}} + L_{\text{passive}} \quad (6)$$

仮に2つの発振条件がある場合、共振期内の利得を上げてゆくと、発振閾値が低い発振が先に発振し、共振器内の利得を消費する。そのため発振閾値が高い発振は利得を使わず、よほど共振器内の利得を上げ緩和発振を起こさなければ、2つ同時の発振は難しい。そのため、パルス発振をするには、CW発振より発振閾値を低くする必要がある。つまり

$$G_{EDFA}^{\text{pulse,threshold}} < G_{EDFA}^{\text{CW,threshold}} \quad (7)$$

$$G_{EDFA}^{\text{pulse,threshold}} < G_{EDFA}^{\text{CW,min threshold}} + L_{\text{pol}} \quad (8)$$

となり、 $L_{\text{pol}}$ が2つの発振閾値利得の差を

$$DG_{EDFA}^{\text{threshold}} = G_{EDFA}^{\text{pulse,threshold}} - G_{EDFA}^{\text{CW,min threshold}} \quad (9)$$

とすると

$$DG_{EDFA}^{\text{threshold}} < L_{\text{pol}} \quad (10)$$

となり、この条件が満たされるときパルス発振が可能であるといえる。ここで発振閾値利得差は、式(4)(6)から次のようになる。

$$DG_{EDFA}^{\text{threshold}} = -T_{\text{DISC}}^{\text{pulse}} + G_{\text{SOA}}(I_{\text{CW}}) - L_{\text{DISC}} \quad (11)$$

この式により、 $L_{\text{pol}}$ が式(11)のパルスに対してのDISC-gate透過率、CWに対してのSOA利得、DISC-gate部の受動的な損失の総和より大きくすることがパルス発振条件だとわかった。

そのため、出力カプラ前の波長板の調整によりフィードバック光の偏波を調整することで、発振状態が切り替わるといえる。

このパルス発振モデルが、正しいかどうか、実験的に確認した。結果を図4に示す。出力カプラ前のHの角度の調整により、CW発振閾値利得が式(3)の $L_{\text{pol}}$ の影響により、角度ごとに大きく損失が変化している。その損失により2つの発振条件の発振閾値利得の大小

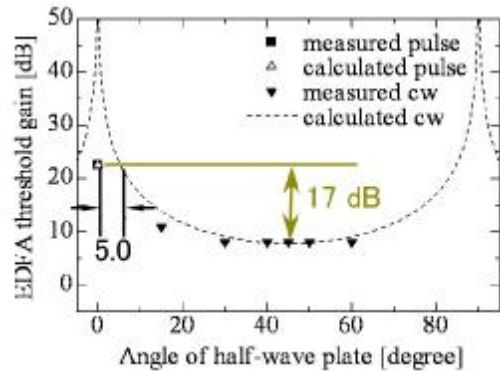


図4 発振状態と偏波制御による損失 (40 GHz 5ps)

関係が変化し、パルス発振が行われる。つまり、パルス発振閾値利得がCW発振閾値利得(点線)を下回っている箇所には波長板の角度を合わせればよく、そこから偏波制御精度がわかる。この40 GHz 5psのパルス発振の場合5度程度がパルス発振範囲だとわかる。

この偏波制御による共振器損失の変化は、手動の波長板の角度調整によるものなので、その速度は、機械的動作であるため、速くとも数十 msであり、損失の変動は、2つの発振閾値利得の差が、実験的には10 GHz 5 psのパルス発振構成で20 dB、40 GHz 5 psの構成で17 dBあることから、20 dB前後と考えられる。

この偏波による共振器損失の変化は、発振状態の移行のみならず、EDFAにも影響する点が問題である。EDFA内部の $\text{Er}_{3+}$ イオンの緩和時間は、十 ms前後であり、手動による共振器損失の変化にかかる時間と近いことと、パルス発振を行うため、実験的には、EDFA利得を現状では23 dB程度確保しなくてはならず、それには、EDFAの励起は、強くしなければならない。そのため、共振器損失が増加すると、EDFAの励起子の蓄積量は、時間的に急増する為、Qスイッチの発生原因になってしまう。

### 3. SOAの劣化とQスイッチ保護回路

前節によりSOAの劣化原因と推測されるEDFAによるQスイッチの発生原因として、DISC-loopのパルス発振原理が問題だと考えられた。Qスイッチを防ぐには、このトリガの利用が重要だと言える。

またもう一つ原因として考えられることが

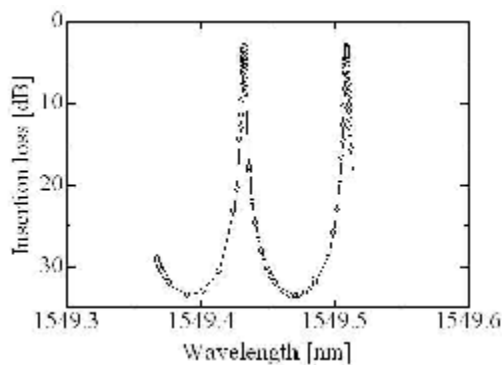


図5 エタロンの透過スペクトル例

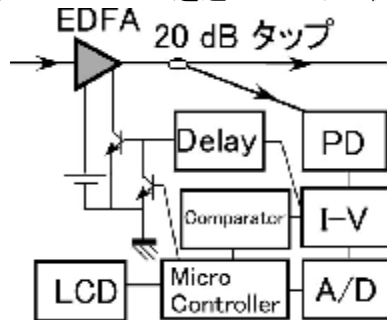


図6 Qスイッチ保護回路の概略図

あり、それもDISC-loopの発振原理同様に共振器損失の急激な変化、つまりQ値の急激な変化があるためである。それはエタロンの損失の波長依存性であり、DFB-LDの線幅は100 MHz程度なので、特に何も操作しなければ、問題はないのだが、実験的に電流量やDFB-LDの温度を変えると、発振波長が変わってしまうため、エタロンの損失が急激に変わる。エタロンはシングルモード発振を行うとき図5のような透過特性を持ち、その損失の変化は30 dB近くあり、Qスイッチの原因となりうる。そこでこれらの原因による励起子の蓄積を減らすことを目指した。EDFAのレート方程式から、励起を停止する他無いと考えられるため、Qスイッチの発生原因である共振器損失の増加が発生したら励起を停止させる保護回路を作成することにした。

図6は装置構成であり、EDFA出力光強度を測定し、強度が閾値以下になった際にA/D変換器及びコンパレータで検出し、マイコンによりEDFAの励起用LDへの注入電流を止める構造になっている。注入電流を止めるのは、2つのトランジスタで、一方は、マイコンによりもう一方のトランジスタのホールド動作をし、もう一方は、EDFA励起用LDのLDドライバ回路を構成し、ディレイ出力とマイコン

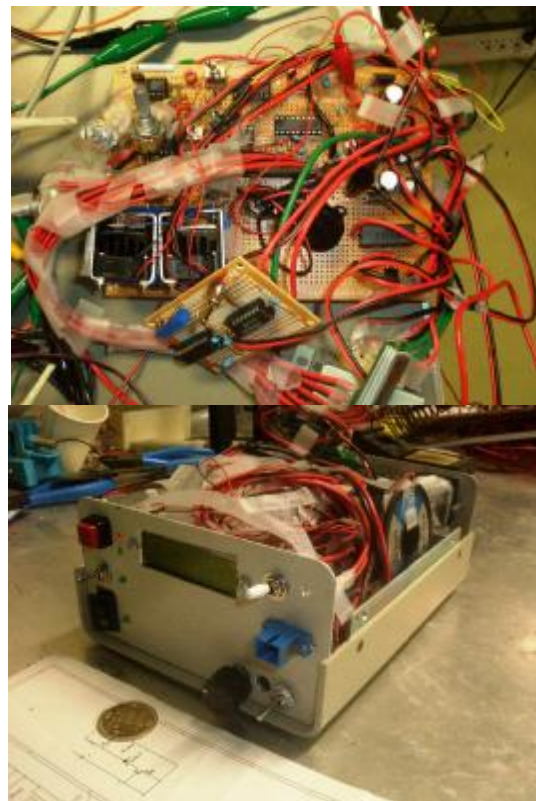


図7 作成した回路とケース収納概要

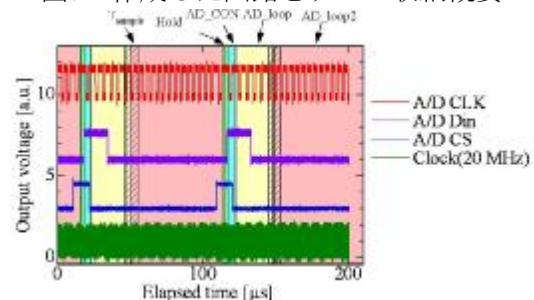


図8 A/D変換器とマイコンのタイミングチャート

により制御されるトランジスタで、ベース電流を制御することでLDドライバ回路の電流量を制御する。

実際に作成した保護回路は、図7のようになっている。ケーブルが多く判り辛い複数のマイコンやICを用いて上記の動作を行っている。

この保護回路には、2系統の停止装置がついており、一つはA/D変換器、一つはコンパレータになる。それぞれについて次に記載する。図8は、A/D変換器とマイコンの動作のタイミングチャートである。縞の領域で検出を行っており、約10 kHz周期である。縞の領域の後、A/D変換を行い、67.2 μs後に励起用LD

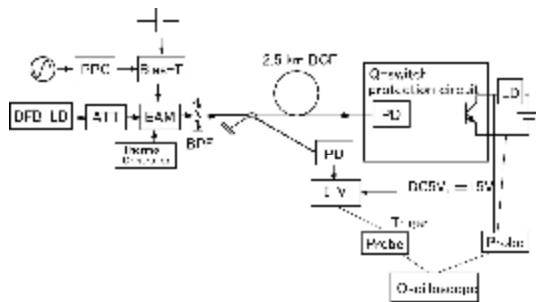


図9 保護回路動作確認用実験構成

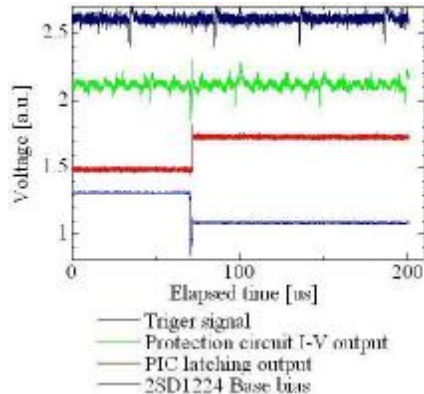


図10 0.5  $\mu$ s L状態 50  $\mu$ s H状態の信号入力時の停止動作

を停止させる。マイコンのプログラムと実験的に回路内の信号をオシロスコープで検出して確認を行った。図上部にかいてあるのはプログラム内でのサブルーチン名である。

このA/D変換値による停止動作の判定は、マイコンでA/D変換値と事前に設定した値を比較することで行っており、今回A/D変換値が16(A/D変換値は12 bitで A/D変換値1あたり5/4096 Vで増加する。)つまりA/D変換器への入力が約20 mVを下回った時に停止する。この値は固定である。

もう一方のコンパレータは、保護回路への入力光による、PD出力電流をI-V変換したものを2値化しており、それを1.25 MHz毎に検出し、閾値以下になった時、約1  $\mu$ sで励起を停止させる。こちらは、A/D変換器より高速であり、また、可変抵抗を調整することで、コンパレータの参照電圧を切り替えて、停止動作を行う閾値を調整可能である。

これら2つの停止機構により、約1  $\mu$ sで、共振器損失の増加を検出し、保護回路への入力光強度が閾値を下回ったら、EDFAの励起用LDを停止させる。

これにより手動での偏波や波長制御、機械的振動などの速度が、速くともkHz程度なの

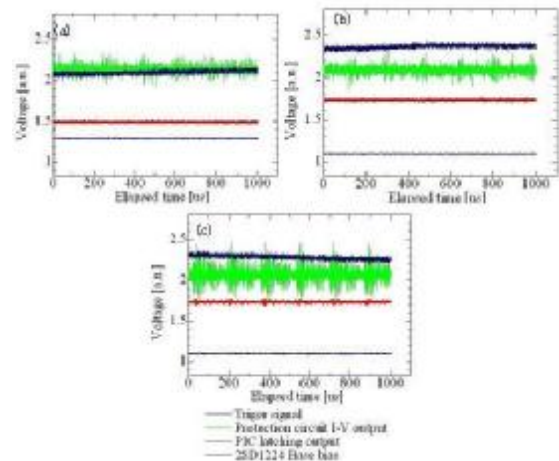


図11 1  $\mu$ s L状態 100  $\mu$ s H状態の信号入力時の停止動作

で、これらによる偏波の変化によるCW発振からパルス発振への発振動作の切り替わりの際に、共振器内に光が存在しない状態が発生した間のEDFA利得を下げ、Qスイッチを防ぐことを出来ると考えられる。

但し、これらはあくまで設計上の動作であり、実際に確認を行った。図9のような構成で、この保護回路にDFB-LDからのCWを電界吸収型変調器(Electro Absorption Modulator, EAM)で変調した光信号を入力し、閾値でのEDFA励起用LD停止動作が微小時間の減衰を検出した上で、実行するかどうか診断した。

図10、11が確認結果である。上から変調を受けたCWをPDとI-V変換を保護回路と同じ回路で電圧にしたもので、2番目が保護回路のI-V変換結果、3番目がコンパレータ側のPICの停止動作信号で、ここがHの状態になると、内部の停止動作用トランジスタが動作し、4番目のLDドライバ回路のトランジスタへ流れるベース電流がGNDに流れる。そのため4番目がLDドライバ回路のトランジスタへのベース電圧を検出しているので、L状態になることで、電流が流れず、励起用LDを停止させることを確認できる。

0.5  $\mu$ sと1.0  $\mu$ sの減衰時間の違いで、検出信号の形状が大きく変化しているが、これは、パルスパターン生成機(Pulse Pattern Generator, PPG)の出力がここまでの低速だと、歪んでしまうことと、EAM、そして自作検出回路がそれぞれEDFAのQスイッチと同じように、減衰時間中に利得をためてしまう為である。



図12 停止閾値確認構成

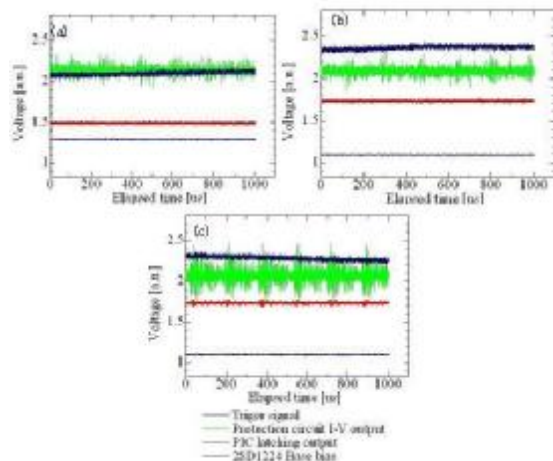


図13 入力光強度閾値確認結果  
 入力光強度(a) -22.2 dBm (b) -23.0 dBm  
 (c) -23.3 dBm

そして0.5  $\mu\text{s}$ と1.0  $\mu\text{s}$ で共に上から3番目がL状態からH状態に移行し、4番目がH状態からL状態に移行しているが、その移行するときの2番目のI-V変換後の信号強度と1番目の信号のタイミングを見ると、0.5  $\mu\text{s}$ の物は、入力光信号により停止したのではなく、回路のノイズにより停止したことがわかる。一方、1.0  $\mu\text{s}$ は、入力光信号により停止動作が発生したと見ることが出来る。このため、このQスイッチ保護回路は、1.0  $\mu\text{s}$ 以上の時間経過で、減衰する信号を検出可能であると判断できる。

又、EAMによる光信号の変調を行わず、図12のように、単純にCWの強度を見ながら入力し、図13のように回路内部の信号強度を確認した。今回一番上のTrigger signalは何も接続しておらず、GND側のみ接続していたので、GNDに載ったノイズとオシロスコープのノイズで変動している。電圧の変動は、数 mV程度である。

この図を見てわかるのは、(a)と(b)でコンパレータ側が停止動作を行っており、(b)と(c)の間でA/D変換器側も停止動作を行ったということである。これから停止する為の閾値は、コンパレータ側が-22.2 dBmでA/D変換器側が-23.0 dBmであるといえる。但しこれら値は、回路の調整により変えることが可能

なので一例としてこのように約-23 dBm程度までは確実に検出可能であるといえる。

実際にDISC-loop型パルス発生器のEDFAのQスイッチ防止には、DISC-loopのパルス発振への調整と、Qスイッチを防ぐ為の停止動作を両立させなければならないので、この停止閾値の調整は重要になる。またこのQスイッチ保護回路への入力は、DISC-loopのパルス発振に対して、損失を増やさないう20 dBカプラを通して、EDFA出力を検出する為、-23 dBm程度の強度が測れるのは、ある程度必要な条件は整っているだろうといえる。

## 4. まとめ

DISC-loop型パルス発生器のCW発振条件を求め、既存のパルス発振条件と組み合わせ、パルス発振に必要なCW発振抑制条件をモデル化した。これにより、今後のDISC-loop型パルス発生器の高周波化、集積化などに向けての設計指標を立てることが出来るようになった。

ただし2008年1月までに計5回のSOAの劣化が発生し、それにより実験が滞っているため、現状では、モデルの応用や信頼性の確認が難しい。そこで、SOAの劣化の原因であるEDFAからのQスイッチを防ぐ、Qスイッチ保護回路を製作した。静的、動的動作確認を行い、1.0  $\mu\text{s}$ 以上の減衰を検出し、また停止動作の為の入力光強度閾値を-23 dBm前後にすることが可能である為、Qスイッチの原因である、手動や機械的振動による強真意損失の急激な増大を検出可能であるといえ、ほぼQスイッチを防ぐことが可能だと判断できる。

但し、実際にDISC-loopに組み込んだ動作確認が、できなかった為、確実にQスイッチを防げるかどうかを確認できず、中途半端で終わってしまった。

### 参考文献

- [1]R. Suzuki et al., CLEO/QELS 2006, CMG5 (2006).
- [2]R. Suzuki et al., IQEC/CLEO-PR, CFM1-4(2005).
- [3]Y. Ueno et al., J. Opt. Soc. Am. B, vol. 19, no.11, pp. 2573-2589,(2002).
- [4]C. M. DePriest et at., Opt. Lett., vol. 27, no. 9, pp. 719-721,(2002).